

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 17/687			H 03 K 17/687	G
H 01 L 21/8238			H 01 L 27/08	3 2 1 L
27/092			29/78	
29/78				

審査請求 未請求 請求項の数4 OL (全8頁)

(21)出願番号	特願平8-59537	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成8年(1996)3月15日	(71)出願人	000237617 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2
		(72)発明者	松原 邦博 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内
		(72)発明者	伊藤 秀信 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内
		(74)代理人	弁理士 恩田 博宣

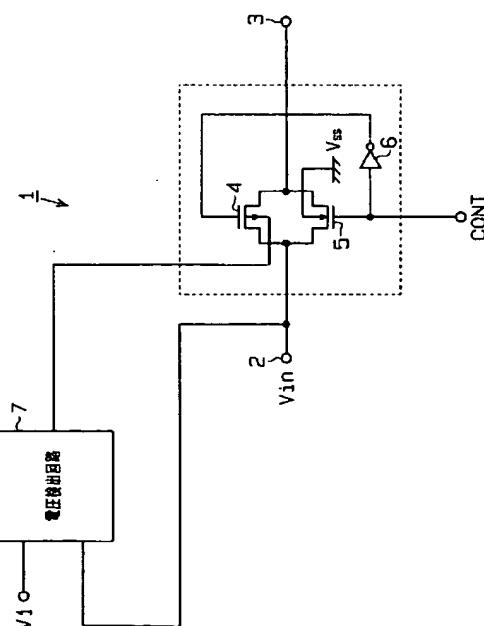
## (54)【発明の名称】 アナログスイッチ及び半導体装置

## (57)【要約】

【課題】バックゲート電圧以上の電圧のアナログ信号をオンオフすることができるアナログスイッチを提供する。

【解決手段】アナログスイッチ1の入力端子2と出力端子3との間には、PチャネルMOSトランジスタ4とNチャネルMOSトランジスタ5とが並列に接続され、ゲートに入力される制御信号CONTに基づいて両MOSトランジスタ4, 5は入力端子2と出力端子3との間を導通状態又は非導通状態とする。アナログスイッチ1には電圧制御回路7を備える。電圧制御回路7には入力端子2に入力される入力電圧V<sub>in</sub>と、バックゲート電圧V<sub>1</sub>とが入力され、それら電圧V<sub>in</sub>, V<sub>1</sub>のうちの高い方の電圧がバックゲート電圧としてPチャネルMOSトランジスタ4のバックゲートに供給される。

本発明の原理説明図



### 【特許請求の範囲】

【請求項1】 入力端子と出力端子との間にPチャネルMOSトランジスタとNチャネルMOSトランジスタとを並列に接続し、前記各トランジスタのゲートに制御信号を入力して前記入力端子と出力端子との間を導通状態あるいは非導通状態とし、前記PチャネルMOSトランジスタのバックゲートにはバックゲート電圧を供給したアナログスイッチであって、前記バックゲートには、前記入力端子に入力される入力電圧と、前記バックゲート電圧のうち、高い方の電圧を前記バックゲート電圧として該バックゲートに供給する電圧検出回路を接続したことを特徴とするアナログスイッチ。

【請求項2】 入力端子と出力端子との間にPチャネルMOSトランジスタとNチャネルMOSトランジスタとを並列に接続し、前記各トランジスタのゲートに制御信号を入力して前記入力端子と出力端子との間を導通状態あるいは非導通状態とし、前記NチャネルMOSトランジスタのバックゲートにはバックゲート電圧を供給したアナログスイッチであって、

前記バックゲートには、前記入力端子に入力される入力電圧と、前記バックゲート電圧のうち、低い方の電圧を前記バックゲート電圧として該バックゲートに供給する電圧検出回路を接続したことを特徴とするアナログスイッチ。

【請求項3】 請求項1又は2に記載のアナログスイッチは双方向アナログスイッチであって、前記PチャネルMOSトランジスタとNチャネルMOSトランジスタは2つの入出力端子間に並列に接続され、前記電圧検出回路は、

前記バックゲート電圧が入力される第1のスイッチと、前記2つの入出力端子の電圧がそれぞれ入力される第2、第3のスイッチと、

前記バックゲート電圧と、前記2つの入出力端子に入力されるアナログ信号の電圧とが入力され、それら電圧を比較する第1の比較回路部と、

前記2つの入出力端子に入力されるアナログ信号の電圧が入力され、それら電圧を比較する第2の比較回路部と、

前記第1、第2の比較回路部の比較結果に基づいて、前記第1～第3のスイッチのうちの最も高い電圧、又は、最も低い電圧に対応したスイッチをオンにする制御回路部とから構成されたアナログスイッチ。

【請求項4】 チップ上に請求項1～3のうちのいずれか1項に記載のアナログスイッチと、そのアナログスイッチと異なる動作電源電圧で駆動されアナログスイッチに対して制御信号を出力するコントロール回路とを形成した半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアナログスイッチ及び半導体装置に係り、詳しくは入力電圧範囲を拡大することができるアナログスイッチと、そのアナログスイッチを備えた半導体装置に関するものである。

【0002】 近年、機械式のアナログスイッチに代えて、半導体式のアナログスイッチが用いられるようになってきている。しかしながら、半導体式のアナログスイッチは、入力信号の電圧の範囲が電源電圧範囲内に限られることから、入力電圧範囲を拡大することが望まれている。

【0003】

【従来の技術】 図5にMOSトランジスタを使用した従来のアナログスイッチ51を示す。アナログスイッチ51は、PチャネルMOSトランジスタ52、NチャネルMOSトランジスタ53、及び、インバータ回路54により構成されている。PチャネルMOSトランジスタ52とNチャネルMOSトランジスタ53は、両入出力端子I/O1、I/O2間に並列に接続されている。PチャネルMOSトランジスタ52のゲートには制御信号CONTがインバータ回路54を介して入力され、NチャネルMOSトランジスタ53のゲートには制御信号CONTが直接入力される。PチャネルMOSトランジスタ52のバックゲートには動作電源電圧である電源電圧VDDが入力され、NチャネルMOSトランジスタ53のバックゲートはグランドGNDに接続されている。

【0004】 両MOSトランジスタ52、53は、制御信号CONTによって同時にオン又はオフに制御され、オンに制御された両MOSトランジスタ52、53を介して一方の入出力端子I/O1から入力されたアナログ信号が他方の入出力端子I/O2に出力される。尚、アナログスイッチ51は双方向アナログスイッチとして利用でき、他方の入出力端子I/O2から入力されたアナログ信号は一方の入出力端子I/O1に出力される。

【0005】

【発明が解決しようとする課題】 ところで、入出力端子I/O1又は入出力端子I/O2の端子に電源電圧VDD以上の電圧のアナログ信号が印加される場合がある。例えば、一方の入出力端子I/O1に電源電圧VDD以上の電圧の信号が印加されると、その入出力端子I/O1とPチャネルMOSトランジスタ52のバックゲートとの間のpn接合が順方向となるので、入出力端子I/O1からPチャネルMOSトランジスタ52のバックゲートに電流が流れる。その結果、他方の入出力端子I/O2から出力される信号は、一方の入出力端子I/O1に入力された信号の電圧まで上昇しない。

【0006】 即ち、従来のアナログスイッチ51では、電源電圧VDD以上の電圧を入力しても、出力電圧は電源電圧VDDにクランプされてしまう。また、入出力端子I/O1又は入出力端子I/O2からバックゲートに余分な電流が流れで消費電流が増大するという問題があつ

た。

【0007】本発明は上記問題点を解決するためになされたものであって、その目的は電源電圧以上の電圧のアナログ信号をオンオフすることができるアナログスイッチを提供することにある。

【0008】

【課題を解決するための手段】図1は本発明の原理説明図である。アナログスイッチ1の入力端子2と出力端子3との間には、PチャネルMOSトランジスタ4とNチャネルMOSトランジスタ5とが並列に接続されている。PチャネルMOSトランジスタ4のゲートにはインバータ回路6を介して制御信号CONTが入力され、NチャネルMOSトランジスタ5のゲートには制御信号CONTRが入力されて、両MOSトランジスタ4, 5は入力端子2と出力端子3との間を導通状態又は非導通状態とする。PチャネルMOSトランジスタ4のバックゲートにはバックゲート電圧V1が供給される。

【0009】また、アナログスイッチ1には電圧制御回路7を備える。電圧制御回路7には入力端子2に入力される入力電圧Vinと、バックゲート電圧V1とが入力され、それら電圧Vin, V1のうちの高い方の電圧がバックゲート電圧としてPチャネルMOSトランジスタ4のバックゲートに供給される。

【0010】また、請求項2に記載の発明は、入力端子と出力端子との間にPチャネルMOSトランジスタとNチャネルMOSトランジスタとを並列に接続し、前記各トランジスタのゲートに制御信号を入力して前記入力端子と出力端子との間を導通状態あるいは非導通状態とし、前記NチャネルMOSトランジスタのバックゲートにはバックゲート電圧を供給したアナログスイッチであって、前記バックゲートには、前記入力端子に入力される入力電圧と、前記バックゲート電圧のうち、低い方の電圧を前記バックゲート電圧として該バックゲートに供給する電圧検出回路を接続した。

【0011】また、請求項3に記載の発明は、請求項1又は2に記載のアナログスイッチは双方向アナログスイッチであって、前記PチャネルMOSトランジスタとNチャネルMOSトランジスタは2つの入出力端子間に並列に接続され、前記電圧検出回路は、前記バックゲート電圧が入力される第1のスイッチと、前記2つの入出力端子の電圧がそれぞれ入力される第2, 第3のスイッチと、前記バックゲート電圧と、前記2つの入出力端子に入力されるアナログ信号の電圧とが入力され、それら電圧を比較する第1の比較回路部と、前記2つの入出力端子に入力されるアナログ信号の電圧が入力され、それら電圧を比較する第2の比較回路部と、前記第1, 第2の比較回路部の比較結果に基づいて、前記第1～第3のスイッチのうちの最も高い電圧、又は、最も低い電圧に対応したスイッチをオンにする制御回路部とから構成される。

【0012】また、請求項4に記載の発明は、チップ上に請求項1～3のうちのいずれか1項に記載のアナログスイッチと、そのアナログスイッチと異なる動作電源電圧で駆動されアナログスイッチに対して制御信号を出力するコントロール回路とを形成したことを要旨とする。

【0013】(作用)従って、請求項1に記載の発明によれば、入力電圧Vinがバックゲート電圧V1よりも高い場合、入力電圧Vinがバックゲート電圧としてPチャネルMOSトランジスタ4のバックゲートに供給され、入力端子2とPチャネルMOSトランジスタ4のバックゲートの電圧が同じとなる。

【0014】また、請求項2に記載の発明によれば、NチャネルMOSトランジスタのバックゲートには、入力電圧がバックゲート電圧よりも高い場合に、その入力電圧がバックゲート電圧として該バックゲートに供給され、入力端子とバックゲートの電圧が同じとなる。

【0015】また、請求項3に記載の発明によれば、2つの入出力端子にそれぞれ入力される電圧とバックゲート電圧とが比較され、最も高い電圧又は最も低い電圧がPチャネルMOSトランジスタのバックゲート又はNチャネルMOSトランジスタのバックゲートに供給され、入出力端子とバックゲートの電圧が同じとなる。

【0016】また、請求項4に記載の発明によれば、チップ上には、アナログスイッチと、そのアナログスイッチに対して制御信号を出力するコントロール回路とが形成される。

【0017】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図2～図4に従って説明する。図2は一実施の形態のアナログスイッチ11の回路図、図3は一実施の形態の電圧検出回路13の回路図である。

【0018】アナログスイッチ11は、スイッチ回路12及び電圧検出回路13により構成されている。スイッチ回路12は、従来のアナログスイッチ51と同様に、PチャネルMOSトランジスタ(以下、単にPMOSトランジスタという)14、NチャネルMOSトランジスタ(以下、単にNMOSトランジスタという)15、及び、インバータ回路16により構成されている。

【0019】両MOSトランジスタ14, 15は、入出力端子I/O1, I/O2間に並列に接続されている。PMOSトランジスタ14のゲートにはインバータ回路16を介して制御信号CONTが入力され、NMOSトランジスタ15のゲートには前記制御信号CONTRが入力される。PMOSトランジスタ14のバックゲートには電圧検出回路13の出力電圧VDDがバックゲート電圧として供給され、NMOSトランジスタ15のバックゲートはグランドGNDに接続されている。

【0020】電圧検出回路13には、アナログスイッチ11の動作電源である電源電圧VCCが入力される。また、電圧検出回路13は、両入出力端子I/O1, I/O2

$O_2$ に接続され、それら入出力端子  $I/O_1, I/O_2$  に印加される電圧  $V_A, V_B$  がそれぞれ入力される。電圧  $V_A, V_B$  は、その一方がアナログスイッチ  $T_1$  の入力電圧、他方が出力電圧となる。

【0021】図3に示すように、電圧検出回路  $T_3$  は、コンパレータ  $T_1, T_2, T_3, T_4$ 、コンバータ  $T_5$ 、レベルコンバータ  $T_6, T_7$ 、制御回路部  $T_8$ 、及び、PMOSトランジスタ  $T_P_1 \sim T_P_3$  により構成されている。

【0022】第1の比較回路部としてのコンパレータ  $T_1$  は標準的なコンパレータであって、1つの非反転入力端子と2つの反転入力端子を有する。コンパレータ  $T_1$  の非反転入力端子は入力端子  $T_1$  に接続され、電源電圧  $VCC$  が入力される。また、コンパレータ  $T_1$  の一方の反転入力端子は入力端子  $T_2$  に接続され電圧  $V_A$  が入力され、他方の反転入力端子は入力端子  $T_3$  に接続され電圧  $V_B$  が入力される。コンパレータ  $T_1$  の出力端子はレベルコンバータ  $T_3$  を介してPMOSトランジスタ  $T_P_1$  のゲートに接続されている。PMOSトランジスタ  $T_P_1$  は、そのソースが入力端子  $T_1$  に接続されて電源電圧  $VCC$  が入力され、ドレインが出力端子  $T_4$  に接続されている。また、PMOSトランジスタ  $T_P_1$  のバックゲートは、ドレインに接続されている。

【0023】コンバータ  $T_5$  は、NMOSトランジスタ  $T_N_1 \sim T_N_4$  により構成されている。NMOSトランジスタ  $T_N_1, T_N_2$  とNMOSトランジスタ  $T_N_3, T_N_4$  はそれぞれ直列に接続されている。NMOSトランジスタ  $T_N_1, T_N_3$  のドレインには電源電圧  $VCC$  が供給され、NMOSトランジスタ  $T_N_2, T_N_4$  のソースはグランド  $GND$  に接続されている。NMOSトランジスタ  $T_N_1, T_N_4$  のゲートには電圧  $V_A$  が入力され、NMOSトランジスタ  $T_N_2, T_N_3$  のゲートには電圧  $V_B$  が入力される。

【0024】NMOSトランジスタ  $T_N_1, T_N_2$  間のノード  $N_1$  はコンパレータ  $T_2$  の反転入力端子に接続され、NMOSトランジスタ  $T_N_3, T_N_4$  間のノード  $N_2$  はコンパレータ  $T_2$  の非反転入力端子に接続されている。コンパレータ  $T_2$  は標準的なコンパレータであって、その出力端子は、レベルコンバータ  $T_4$  を介して制御回路部  $T_8$  に接続されている。

【0025】制御回路部  $T_8$  は、 NAND回路  $T_7, T_8$  及びインバータ回路  $T_9$  により構成されている。NAND回路  $T_7, T_8$  の一方の入力端子にはレベルコンバータ  $T_3$  の出力信号が入力され、そのレベルコンバータ  $T_3$  からの信号が入力される。NAND回路  $T_7$  の他方の入力端子にはレベルコンバータ  $T_4$  の出力信号がインバータ回路  $T_9$  を介して入力され、NAND回路  $T_8$  の他方の入力端子にはレベルコンバータ  $T_4$  の出力信号が入力されている。

【0026】NAND回路  $T_7$  の出力端子はPMOSトランジスタ  $T_P_3$  のゲートに接続され、NAND回路  $T_8$  の

出力端子はPMOSトランジスタ  $T_P_2$  のゲートに接続されている。PMOSトランジスタ  $T_P_2$  はそのソースが入力端子  $T_2$  に接続されて電圧  $V_A$  が入力され、ドレインが出力端子  $T_4$  に接続されている。PMOSトランジスタ  $T_P_3$  はそのソースが入力端子  $T_3$  に接続されて電圧  $V_B$  が入力され、ドレインが出力端子  $T_4$  に接続されている。また、両PMOSトランジスタ  $T_P_2, T_P_3$  は、それぞれそのバックゲートがドレインに接続されている。

【0027】次に、上記のように構成された電圧検出回路  $T_3$  の動作を説明する。電源電圧  $VCC$ 、電圧  $V_A, V_B$  は、入力端子  $T_1 \sim T_3$  を介してコンパレータ  $T_1$  に入力される。コンパレータ  $T_1$  は、電源電圧  $VCC$  と電圧  $V_A, V_B$  を比較する。そして、コンパレータ  $T_1$  は、その比較結果に基づいて、電源電圧  $VCC$  が電圧  $V_A, V_B$  よりも高い場合にHレベルの信号を出し、電源電圧  $VCC$  が電圧  $V_A$  又は電圧  $V_B$  よりも低い場合にはLレベルの信号を出力する。

【0028】コンパレータ  $T_1$  から出力される信号はレベルコンバータ  $T_3$  により反転されてPMOSトランジスタ  $T_P_1$  のゲートに入力される。PMOSトランジスタ  $T_P_1$  は、そのゲートにHレベルの信号が入力されるとオフされ、Lレベルの信号が入力されるとオンされる。そして、PMOSトランジスタ  $T_P_1$  のゲートには、電源電圧  $VCC$  が電圧  $V_A, V_B$  よりも高い場合にコンパレータ  $T_1$  から出力されるHレベルの信号がレベルコンバータ  $T_3$  により反転されてLレベルの信号として入力される。

【0029】従って、PMOSトランジスタ  $T_P_1$  は、電源電圧  $VCC$  が電圧  $V_A, V_B$  よりも高い場合にオンに制御され、電源電圧  $VCC$  が電圧  $V_A$  又は電圧  $V_B$  よりも低い場合にオフに制御される。PMOSトランジスタ  $T_P_1$  がオンに制御されると、そのオンに制御されたPMOSトランジスタ  $T_P_1$  を介して出力端子  $T_4$  から電源電圧  $VCC$  が出力電圧  $VDD$  として出力される。

【0030】また、この時、レベルコンバータ  $T_3$  から出力されるLレベルの信号は、制御回路部  $T_8$  の NAND回路  $T_7, T_8$  に入力され、その NAND回路  $T_7, T_8$  はHレベルの信号をPMOSトランジスタ  $T_P_3, T_P_2$  のゲートに出力する。従って、PMOSトランジスタ  $T_P_2, T_P_3$  はオフに制御される。

【0031】コンバータ  $T_5$  は、電圧  $V_A$  及び電圧  $V_B$  が電源電圧  $VCC$  よりも高い場合でも、電源電圧  $VCC$  で動作するコンパレータ  $T_2$  で電圧  $V_A$  と電圧  $V_B$  とを比較することができるよう、それら電圧  $V_A, V_B$  の高低関係を、電源電圧  $VCC$  の範囲内の高低関係に変換する。コンバータ  $T_5$  は、ノード  $N_1, N_2$  の電圧を電源電圧  $VCC$  の範囲内で電圧  $V_A, V_B$  に応じて変化させる。

【0032】NMOSトランジスタ  $T_N_1 \sim T_N_4$  は、それぞれゲートに入力する電圧  $V_A, V_B$  に応じたオン

抵抗となる。そして、ノードN1, N2は、電源電圧VCCとグランドGNDとの間の電圧をNMOSトランジスタTN1～TN4のオン抵抗により分圧した電圧となる。その結果、電圧VAが電圧VBよりも高い場合には、電源電圧VCCの範囲内でノードN1の電圧がノードN2の電圧よりも高くなる。また、電圧VBが電圧VAよりも高い場合には、電源電圧VCCの範囲内でノードN2の電圧がノードN1の電圧よりも高くなる。

【0033】コンパレータ22は、ノードN1, N2の電圧を比較し、その比較結果に応じたレベルの信号を出力する。例えば、ノードN1の電圧がノードN2の電圧よりも高い、即ち、電圧VAが電圧VBよりも高い場合、コンパレータ22はLレベルの信号を出力する。一方、ノードN2の電圧がノードN1の電圧よりも高い、即ち、電圧VBが電圧VAよりも高い場合、コンパレータ22はHレベルの信号を出力する。

【0034】レベルコンバータ23の出力信号がLレベルとなってPMOSトランジスタTP1がオンされるとき、両 NAND回路27, 28はHレベルの信号をPMOSトランジスタTP2, TP3に出力する。その結果、PMOSトランジスタTP2, TP3はオフされる。

【0035】PMOSトランジスタTP1がオフされるとき、両 NAND回路27, 28は、レベルコンバータ24から出力される信号、即ち、電圧VA, VBの高低に基づいて信号を出力する。例えば、電圧VAが電圧VBよりも高い場合、レベルコンバータ24からは、Hレベルの信号が出力されるので、NAND回路28はLレベルの信号を、NAND回路27はHレベルの信号を出力する。その結果、PMOSトランジスタTP2はオンされ、PMOSトランジスタTP3はオフされる。そして、オンとなったPMOSトランジスタTP2を介して出力端子T4から電圧VAが出力電圧VDDとして出力される。

【0036】一方、電圧VBが電圧VAよりも高い場合、レベルコンバータ24からは、Lレベルの信号が出力されるので、NAND回路28はHレベルの信号を、NAND回路27はLレベルの信号を出力する。その結果、PMOSトランジスタTP2はオフされ、PMOSトランジスタTP3はオンされる。そして、オンとなったPMOSトランジスタTP3を介して出力端子T4から電圧VBが出力電圧VDDとして出力される。

【0037】即ち、電圧検出回路13は、電源電圧VCCと、入出力端子I/O1, I/O2に印加される電圧VA, VBとを比較し、それら電圧VCC, VA, VBのうちの最も高い電圧を出力端子T4から出力電圧VDDとして出力する。この出力電圧VDDは、スイッチ回路12を構成するPMOSトランジスタ14のバックゲートにバックゲート電圧として供給される。

【0038】従って、入出力端子I/O1, I/O2に印加される電圧VA, VBが電源電圧VCCよりも低い場

合、PMOSトランジスタ14のバックゲートには電源電圧VCCがバックゲート電圧として供給される。一方、電圧VA又は電圧VBが電源電圧VCCよりも高い場合、PMOSトランジスタ14のバックゲートにはその高い電圧VA又は電圧VBがバックゲート電圧として供給される。すると、入出力端子I/O1, I/O2とPチャネルMOSトランジスタ14のバックゲートとの間の電圧が同じになる。従って、入出力端子I/O1又はI/O2に入力される電圧VA, VBとPチャネルMOSトランジスタ14のバックゲートの電圧とが同じとなるので、一方の入出力端子I/O1(又は入出力端子I/O2)に印加される電圧VA(又は電圧VB)は他方の入出力端子I/O2(又は入出力端子I/O1)に出力される。その結果、アナログスイッチ11の入出力端子I/O1, I/O2に入力されるアナログ信号の電圧範囲を電源電圧VCCの範囲内に限らず、電源電圧VCCを越える範囲の電圧のアナログ信号の開閉を行うことができ、入力電圧範囲を拡大することができる。

【0039】尚、レベルコンバータ23, 24は、電源電圧VCC<出力電圧VDDの場合に、PMOSトランジスタTP1及び制御回路部26の誤動作を防止するために設けられている。コンパレータ21, 22には動作電源として電源電圧VCCが供給される。従って、コンパレータ21, 22から出力されるHレベルの信号は電源電圧VCCの電位となる。しかし、電源電圧VCCに比べて電圧VA又は電圧VBの方が高い場合、PMOSトランジスタTP1はオンとなって出力端子T4から入力端子T1に向かって電流が流れることになる。すると、出力端子T4からは、正常な電圧VA又はVBが出力されなくなってしまう。そのため、電源電圧VCCよりも電圧VA又はVBが高い場合、PMOSトランジスタTP1のゲートに入力する電位をそれら電圧VA又はVBの電位まで上げてPMOSトランジスタTP1をオフに保持して正常に動作させるためである。

【0040】また、制御回路26を構成するNAND回路27, 28及びインバータ回路29は出力電圧VDDで動作する。そのため、コンパレータ22から出力される信号をレベルコンバータ24によって変換するようになっている。

【0041】本実施の形態のアナログスイッチ11は、例えば、図4に示すように、半導体装置31のチップ上に形成され、そのチップ上には、アナログスイッチ11を制御するコントロール回路32が形成されている。この半導体装置31は、例えば、防犯センサとして用いられるものであって、従来の機械式リレースイッチをアナログスイッチ11に置き換えて内蔵することによって接続の手間を省くことができる。

【0042】複数の半導体装置31のコントロール回路32にはそれぞれ人を検知するためのセンサ33が接続され、コントロール回路32はセンサからの信号に基づ

いてアナログスイッチ11をオン又はオフに制御する。各半導体装置31のアナログスイッチ11は直列に接続されるとともに、抵抗Rを介して動作電源VCが供給される。そして、抵抗Rと半導体装置31との間の電圧によって例えばベルを鳴らすなどして、人の検知を報知する。

【0043】ところで、動作電源VCは、半導体装置31及びセンサ33を駆動するための電源電圧VCC以上の電圧に設定され供給される。従って、アナログスイッチ11には、動作するための電源電圧VCCよりも高い電圧がその入出力端子に供給される。

【0044】このような場合においても、アナログスイッチ11は、電源電圧VCCと入出力端子に供給される動作電圧VCとを比較し、電圧の高い方（この場合は動作電圧VC）をPMOSトランジスタ14のバックゲートに供給することで、入出力端子の電圧とバックゲートの電圧とを同じにすることができるので、正常に動作するようになる。

【0045】以上記述したように、本実施の形態では、以下の効果を奏する。

(1) 電圧検出回路13は、電源電圧VCCと、入出力端子I/O1, I/O2に印加される電圧VA, VBとを比較し、その比較結果に基づいて最も高い電圧を出力電圧VDDとしてスイッチ回路12を構成するPMOSトランジスタ14のバックゲートに供給するようにした。従って、入出力端子I/O1, I/O2に印加される電圧VA, VBが電源電圧VCCよりも高い場合においても、入出力端子I/O1, I/O2の電圧VA, VBとPチャネルMOSトランジスタ14のバックゲートの電圧と同じとなり、PMOSトランジスタ14のソースからバックゲートに電流が流れない。その結果、アナログスイッチ11は、電源電圧VCCよりも高い電圧VA, VBが入力されても正常に動作するので、アナログスイッチ11の入出力端子I/O1, I/O2に入力される電圧範囲を拡大することができる。

【0046】尚、本発明は前記実施の形態の他、以下の様で実施するようにしてもよい。

(1) 上記実施の形態では、スイッチ回路12を構成するPMOSトランジスタ14のバックゲートに印加する出力電圧VDDを供給する電圧検出回路13を備えたアナログスイッチ11に具体化したが、NMOSトランジスタ15のバックゲートに印加する負の電圧を供給する電圧検出回路を備えたアナログスイッチに具体化して実施してもよい。また、PMOSトランジスタ14のバックゲートに電源電圧VCCを供給する電圧検出回路13と、NMOSトランジスタ15のバックゲートに負の電圧を供給する電圧検出回路とを備えたアナログスイッチに具体化してもよい。

【0047】(2) 上記実施の形態では、電圧検出回路13は、電源電圧VCCと電圧VA, VBの3つの電圧を

比較し、最も高い電圧を出力電圧VDDとして出力するようにしたが、スイッチ回路12を1方向のみとし、電源電圧VCCと電圧VA、又は電源電圧VCCと電圧VBとを比較するようにしてもよい。また、4つ以上複数の電圧を比較するようにしてもよい。

【0048】(3) 上記実施の形態では、コンパレータ21, 22には標準的コンパレータを使用しているが、スレッショルドレベル近辺での誤動作を避けるため、ヒステリシス付コンパレータを用いて実施してもよい。

【0049】尚、上記実施の形態から把握できる請求項以外の技術的思想について、以下にその効果とともに記載する。

(イ) 請求項3に記載のアナログスイッチにおいて、前記第2の比較回路部は、前記2つの入出力端子に入力されるアナログ信号の電圧の高低関係を電源電圧範囲内の高低関係に変換するコンバータと、前記電源電圧で駆動され、前記変換部により変換された高低関係を比較するコンパレータとから構成されたアナログスイッチ。この構成によれば、2つの入出力端子に入力されるアナログ信号の電圧が電源電圧よりも高い場合にも、それら電圧の高低関係が電源電圧範囲内の高低関係に変換されるので、電源電圧で駆動されるコンパレータによって、比較することが可能となる。

【0050】(ロ) 請求項3に記載のアナログスイッチにおいて、前記第1, 第2の比較回路はヒステリシス付コンパレータであるアナログスイッチ。この構成によれば、スレッショルドレベル付近での誤動作を防ぐことが可能となる。

【0051】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、バックゲート電圧と、入力端子に入力される電圧の高い方の電圧をPチャネルMOSトランジスタのバックゲートに入力することで、バックゲート電圧を越える範囲の電圧を越える範囲の電圧のアナログ信号を扱うことができる。

【0052】また、請求項2に記載の発明によれば、バックゲート電圧と入力端子に入力される電圧の高い方の電圧をNチャネルMOSトランジスタのバックゲートに入力することで、バックゲート電圧を越える範囲の電圧のアナログ信号を扱うことができる。

【0053】また、請求項3に記載の発明によれば、双方向アナログスイッチのトランジスタのバックゲート電圧を越える範囲の電圧のアナログ信号を扱うことができる。また、請求項4に記載の発明によれば、動作電源電圧よりも高い電圧のアナログ信号をオンオフするアナログスイッチとコントロール回路とを同一チップ上に形成することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図。

【図2】 一実施の形態のアナログスイッチの回路図。

【図3】 一実施の形態の電圧検出回路の回路図。

【図4】 図2のアナログスイッチを用いた半導体装置のブロック図。

【図5】 従来のアナログスイッチの回路図。

### 【符号の説明】

1 アナログスイッチ  
2 入力端子

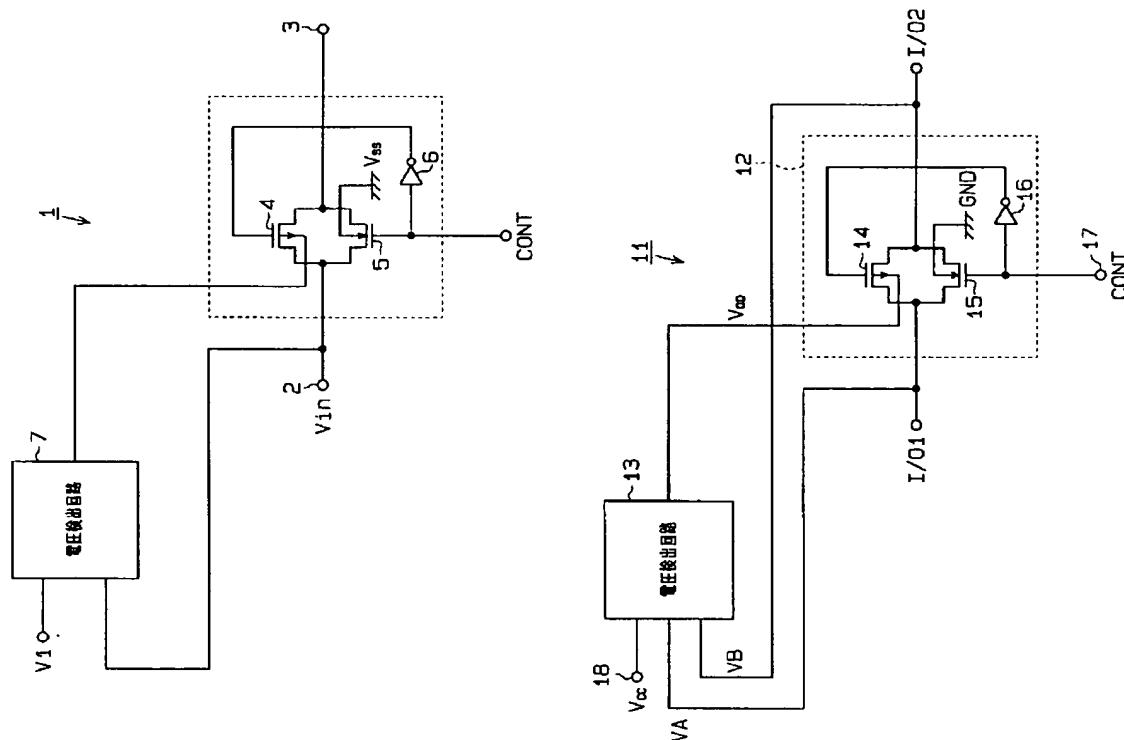
3 出力端子  
 4 PチャネルMOSトランジスタ  
 5 NチャネルMOSトランジスタ  
 7 電圧検出回路  
 C O N T 制御信号  
 V i n 入力電圧  
 V 1 バックゲート電圧

[图 1]

[図2]

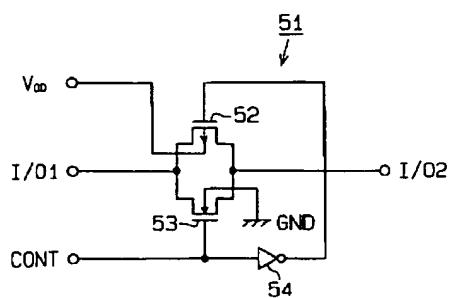
### 本発明の原理説明図

### 一実施の形態のアナログスイッチの回路図

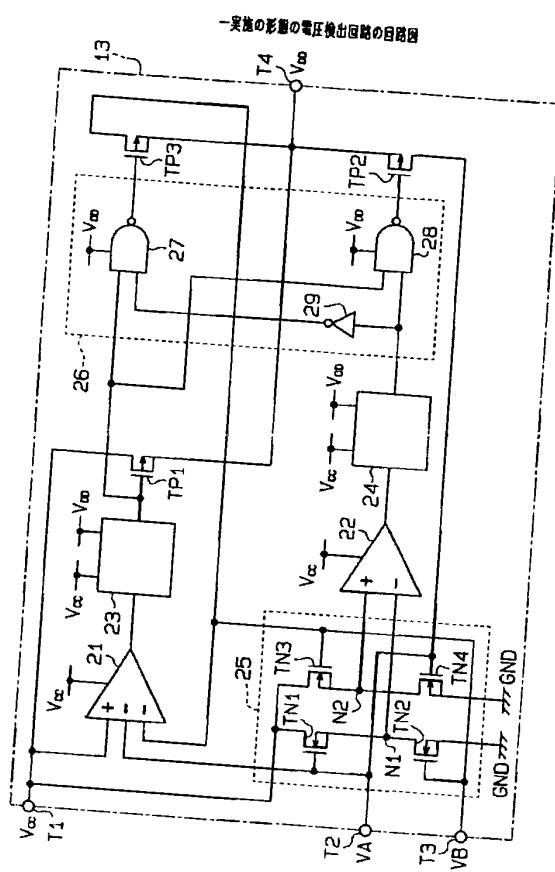


【図5】

### 従来のアナログスイッチの回路図



【図3】



【図4】

